

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shigeru KAWANAKA

SERIAL NO: NEW APPLICATION

FILED: HEREWITH

FOR: SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURING METHOD

GAU:

EXAMINER:

#3/priority
paper
5-16-02
2/2/02



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2001-381458

MONTH/DAY/YEAR

December 14, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

jc997 U.S. PTO
10/075464
02/15/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月14日

出 願 番 号

Application Number:

特願2001-381458

[ST.10/C]:

[JP2001-381458]

出 願 人

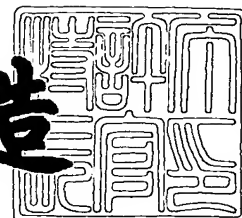
Applicant(s):

株式会社東芝

2002年 1月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3115266

【書類名】 特許願
【整理番号】 13384601
【提出日】 平成13年12月14日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/00
【発明の名称】 半導体メモリ装置およびその製造方法
【請求項の数】 20
【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 川 中 繁

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ装置およびその製造方法

【特許請求の範囲】

【請求項 1】

絶縁膜上に形成された半導体層と、

前記半導体層内に形成された第 1 および第 2 のトランジスタが直列接続されたメモリセルが複数個マトリックス状に配置形成され、前記メモリセルの一方側が接続されたビット線に接続され、他方側に基準電位を与えられたメモリセルアレイと、

を備えた半導体メモリ装置。

【請求項 2】

前記トランジスタが M I S 型部分空乏化トランジスタであることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記第 1 および第 2 のトランジスタが同一導電型であり、前記第 1 のトランジスタのゲートには第 1 のワード線が接続され、前記第 2 のトランジスタのゲートには前記第 1 のワード線と対になる逆論理の第 2 のワード線が接続されたことを特徴とする請求項 1 または 2 に記載の半導体メモリ装置。

【請求項 4】

前記ワード線と前記逆論理のワード線は同期して状態が変化するように制御されるものであることを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 5】

前記ワード線と前記逆論理のワード線の一方の状態変化から所定遅延時間後に他方の状態変化を生ずるものであることを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 6】

前記第 1 のワード線と第 2 のワード線との間に信号レベルを反転させるインバータが設けられたことを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 7】

前記同一導電型のトランジスタはnチャネル型であることを特徴とする請求項3に記載の半導体メモリ装置。

【請求項8】

前記第1のトランジスタと前記第2のトランジスタとは互いに逆導電型であり、前記第1のトランジスタおよび前記第2のトランジスタのゲートには共通のワード線が接続されたことを特徴とする請求項1または2に記載の半導体メモリ装置。

【請求項9】

第1および第2のトランジスタでなるメモリセルが素子分離領域で囲まれた領域内に形成されたものであることを特徴とする請求項1または2に記載の半導体メモリ装置。

【請求項10】

前記絶縁膜および前記半導体層は半導体基板上に形成されたものであることを特徴とする請求項1または2に記載の半導体メモリ装置。

【請求項11】

前記絶縁膜および前記半導体層は絶縁基板上の半導体層であることを特徴とする請求項1または2に記載の半導体メモリ装置。

【請求項12】

前記素子分離領域がトレンチ型素子分離膜であることを特徴とする請求項1または2に記載の半導体メモリ装置。

【請求項13】

絶縁膜上に形成された半導体層と、

前記半導体層内に形成された第1および第2のトランジスタが直列接続されたメモリセルが複数個マトリックス状に配置形成され、前記メモリセルの一方側がビット線に接続され、他方側に基準電位を与えられたメモリセルアレイとを備え

選択されたメモリセル中の一方のトランジスタのボディ領域への電荷注入および吐き出しの制御によりしきい値を制御し、これによりデータの記憶を行うことを特徴とする半導体メモリ装置。

【請求項 1 4】

前記トランジスタがM I S型部分空乏化トランジスタであることを特徴とする請求項 1 3 に記載の半導体メモリ装置。

【請求項 1 5】

前記部分空乏化トランジスタのボディ領域への電荷注入はチャネル電流が流れることにより発生するインパクトイオンにより行われることを特徴とする請求項 1 4 に記載の半導体メモリ装置。

【請求項 1 6】

半導体基板上に酸化層とシリコン活性層を積層し、

前記シリコン活性層を素子形成領域ごとに分離する素子分離領域を前記シリコン活性層とほぼ同一平面をなすように形成し、

前記シリコン活性層上にゲート電極材料を堆積させてパターニングすることにより、対となる2つのトランジスタのゲート電極を近接させて形成し、

前記ゲート電極をイオン注入マスクとして拡散層形成領域に所定のイオンを注入し、

熱工程により注入されたイオンを活性化することにより、前記対となるトランジスタを形成し、

前記対となるトランジスタのうち、一方側のゲート電極に接続された第1のゲート線および他方側のゲート電極に接続された第2のゲート線を形成する、

半導体メモリ装置の製造方法。

【請求項 1 7】

前記対となるトランジスタがM I S型部分空乏化トランジスタであることを特徴とする請求項 1 6 に記載の半導体メモリ装置の製造方法。

【請求項 1 8】

前記半導体基板上への酸化層とシリコン活性層の積層は、シリコン半導体基板に酸素イオンをイオン注入し、

続いて熱処理を行うことにより得られることを特徴とする請求項 1 6 に記載の半導体メモリ装置の製造方法。

【請求項 1 9】

前記半導体基板上への酸化層とシリコン活性層の積層は、底面に酸化層を有するシリコン活性層を前記シリコン半導体基板上に貼り付けるものであることを特徴とする請求項 1 6 に記載の半導体メモリ装置の製造方法。

【請求項 2 0】

前記シリコン活性層はエッチングにより所望厚さまで薄膜化されることを特徴とする請求項 1 6 に記載の半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体メモリ装置に関するもので、特に、絶縁膜上に形成された S O I (Silicon On Insulator) 素子を用いる M I S 型半導体メモリ装置に関する。

【0 0 0 2】

【従来技術】

金属—絶縁体—半導体 (M I S : Metal-Insulator-Semiconductor) 型半導体素子を用いたメモリ L S I においては、素子集積度の向上およびこれに伴うメモリ容量の増加が性能改善の重要な項目の 1 つである。集積度の向上は、従来、その素子サイズを縮小することによって達成されている。

【0 0 0 3】

メモリ L S I としては S R A M (Static Random Access Memory) および D R A M (Dynamic Random Access Memory) が良く知られているが、D R A M においては、電荷を保持する為の 1 つのキャパシタと電荷の注入および放出を制御する 1 つのトランジスタとの組み合わせにより、1 つの記憶セルが形成される。このため、D R A M においては、S R A M のような交差接続されたトランジスタは不要となって、メモリセルサイズを小さくできるため、高集積化に適しており、実際に D R A M は高集積化の一途をたどって来た。

【0 0 0 4】

しかしながら、トランジスタの小型化に比べてキャパシタの小型化は困難であるため、L S I の集積度が向上するに伴い、比較的大きな面積を必要とするキャ

パシタの占有面積が相対的に増加し、確実な動作を保証する容量のキャパシタを形成することが困難になっている。一方、キャパシタ製造工程が別に必要なことから、製造方法の複雑化を招いており、製造期間の長期化、コストの増加、良品率（歩留まり）の低化を引き起こしている。

【0005】

このようなキャパシタの存在に伴う問題を解決するため、種々の提案がなされている。その一つとして、絶縁膜上に素子を形成するSOI (Silicon On Insulator) 構造を採用するメモリセルが知られている。これは、部分空乏型のSOI素子を用いて、その浮遊状態にあるボディ領域に記憶データに応じて電荷を蓄積あるいは吐き出させることによって素子のしきい電圧を変動させ、読み出し時にはこのしきい値を検知することでデータを識別するという原理に基づくものである。

【0006】

このようなSOI素子を用いたメモリセル100の基本的な回路図を図13に示す。部分空乏型のトランジスタTrのゲートをワード線WLに、ソース、ドレインの一方をビット線BLに、他方をVssに接続している。

【0007】

このメモリセルの動作を説明する。なお、ここでは、nチャネル型MOSFET (nMOS) を用いた例を示す。

【0008】

まず、浮遊状態にあるボディ領域にデータの書き込みをするときには、ゲート電極であるワード線WLを高電位（ハイ）状態、例えばVccに設定し、ビット線BLをハイ状態、例えば同様にVccにすると、チャネル電流が流れるとインパクトイオンが発生し、ホールがボディ領域に蓄積する。また、ビット線が接続されている拡散層とボディ領域の間に存在するpn接合とは逆方向にバイアスされるため、逆方向リーク電流が発生し、これらの結果、ボディ領域の電位は上昇し、素子のしきい電圧は低下する。この状態を例えばデータ“1”の書き込みとする。

【0009】

一方、ワード線をハイ状態、例えばVccに設定し、ビット線を低電位（ロウ）

状態、例えば $-V_{cc}$ にすると、ビット線が接続されている拡散層とボディ領域の間に存在する p n 接合とは順方向にバイアスされる為、ボディ領域に存在するホールがビット線側に流れ込み、ボディ領域のホール濃度が低下する。その結果、ボディ領域の電位が低下し、素子のしきい電圧は上昇する。この状態をデータ “0” の書き込みとする。

【0 0 1 0】

このように、部分空乏化トランジスタのしきい値変化を記憶されるデータに対応させることが可能となる。

【0 0 1 1】

このような手法によれば、従来専有面積の上で問題であったキャパシタを用いことなく1つのトランジスタのみで1つのメモリセルを作成することができ、高集積化、製造方法の簡略化、コストの低減等を達成することが可能となる。

【0 0 1 2】

【発明が解決しようとする課題】

しかしながら、このような構成を採用した場合、データ “0” の書き込みを行うためにビット線に $-V_{cc}$ を印加したときにもチャネル電流が流れてしまい、効率的にボディ領域のホールを引き抜くことが困難になり、データ “0” の書き込みに時間がかかったり、あるいは書き込みが不安定になるという問題が生じていた。

【0 0 1 3】

本発明は、このような問題を解決するためになされたものであり、絶縁膜上に形成された M I S 型半導体装置を用いたキャパシタの不要なメモリセルにおいて、安定的にデータを書き込むことが可能な半導体メモリ装置を提供することを目的とする。

【0 0 1 4】

また、本発明はこのような半導体メモリ装置を容易かつ低コストで製造することのできる半導体メモリ装置の製造方法を提供することを目的とする。

【0 0 1 5】

【課題を解決するための手段】

本発明にかかる半導体メモリ装置によれば、
絶縁膜上に形成された半導体層と、

前記半導体層内に形成された第1および第2のトランジスタが直列接続されたメモリセルが複数個マトリックス状に配置形成され、前記メモリセルの一方側が接続されたビット線に接続され、他方側に基準電位を与えられたメモリセルアレイとを備えたことを特徴とする。

【0016】

また、本発明にかかる半導体メモリ装置の製造方法によれば、
半導体基板上に酸化層とシリコン活性層を積層し、

前記シリコン活性層を素子形成領域ごとに分離する素子分離領域を前記シリコン活性層とほぼ同一平面をなすように形成し、

前記シリコン活性層上にゲート電極材料を堆積させてパターニングすることにより、対となる2つのトランジスタのゲート電極を近接させて形成し、

前記ゲート電極をイオン注入マスクとして拡散層形成領域に所定のイオンを注入し、

熱工程により注入されたイオンを活性化することにより、前記対となるトランジスタを形成し、

前記対となるトランジスタのうち、一方側のゲート電極に接続された第1のゲート線および他方側のゲート電極に接続された第2のゲート線を形成する製造方法が提供される。

【0017】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態を詳細に説明する。

図1は本発明にかかる半導体メモリ装置の実施の一形態に用いられるメモリセル10の基本的概念を示す模式図である。

【0018】

図1を参照すると、メモリセルは絶縁膜上に形成された半導体層(SOI)に形成された2つのnチャネル型部分空乏化MOSFET(nMOS)であるトランジスタTr1およびトランジスタTr2を直列に接続し、そのうちトランジスタTr1

の一方側の拡散層をビット線BLに接続し、他方側の拡散層にトランジスタTr2の一方側の拡散層を接続し、トランジスタTr2の他方側の拡散層を接地として表わされている電源Vssに接続している。トランジスタTr1の他方側とトランジスタTr2の一方側との接続ノードはフローティング状態となっており、このノードをノードfと称することとする。

【 0 0 1 9 】

また、トランジスタTr1のゲートには、メモリセルの選択信号線である第1のワード線WLが接続され、トランジスタTr2のゲートには、第1のワード線とは逆論理の選択信号線である第2のワード線/WLが接続されている。

【 0 0 2 0 】

図1に示したメモリセル10を複数個用いてメモリセルアレイを形成した模様を図2および図3の概略接続図に示す。

【 0 0 2 1 】

図2においては、図1に示すメモリセル10をマトリクス状に配置し、ワード線WLとワード線/WLを交互にメモリセル間に縦方向に配置して各メモリセル10のゲート電極に接続し、ビット線BLと接地電源電位Vssを交互にメモリセル10間に横方向に通してこれらとメモリセル10の各端子を接続したものである。このような配置においては、隣接列に属するメモリセル10は互いに鏡像関係になるような位置関係となる。また、各ワード線WLおよび/WLを完全に独立に選択できるようにすることにより、メモリセル列を容易に選択することができる。

【 0 0 2 2 】

図3においてはメモリセル10の配置等は図2の場合と同じであるが、ワード線WLと/WLは対になっており、ワード線/WLについてはこれと対になるワード線WLの信号レベルをインバータINVにより反転させたものを供給することにより相補的な関係を得ている。

【 0 0 2 3 】

次に、上述のような部分空乏型SOIを用いるメモリセルの動作について詳細に説明する。ここでは図1に示したように、2つのnMOSを用いて一つのメモ

リセル 10 を形成した場合の動作実施例を示すものとし、特に明記しない限りビット線およびワード線の電位は低電位（ロウ）レベルを例えば V_{ss} 、高電位（ハイ）レベルを例えば V_{cc} として説明する。

【0024】

まず、メモリセルが非選択の場合には、第 1 のワード線はロウ電位となってトランジスタ $Tr1$ はオフ状態になり、第 2 のワード線はハイ電位となりトランジスタ $Tr2$ はオン状態にある。従って、トランジスタ $Tr1$ とトランジスタ $Tr2$ で共有されているノード f には V_{ss} の電位が現れている。

【0025】

図 4 は、選択されたメモリセル 10 にデータ “1” を書き込む際の動作を示すタイミングチャートである。まず時刻 t_1 において第 1 のワード線 WL を V_{ss} から V_{cc} に、同時に第 2 のワード線 WL を V_{cc} から V_{ss} へ変化させる。これにより、トランジスタ $Tr1$ がオン、トランジスタ $Tr2$ がオフとなる。この時、ワード線とトランジスタ $Tr1$ のボディ領域間の容量結合により、トランジスタ $Tr1$ のボディ電位 V_{body1} は上昇する。

【0026】

次に、時刻 t_1 よりわずかに遅れた時刻 t_2 においてビット線 BL を V_{ss} から V_{cc} へ変化させる。この時、ビット線のつながる拡散層と、ボディ領域間に存在する $p-n$ 接合の容量結合により、トランジスタ $Tr1$ のボディ電位は上昇する。この際、ビット線 BL を任意の電位にプリチャージすることが通常行なわれるが、本実施の形態においても適用可能である。なお、このプリチャージ電位は限定されることはなく、動作に問題を引き起こさない限り任意の電位を採用することができる。このビット線 BL の電位変化に伴い、トランジスタ $Tr1$ にはチャネル電流が流れる。このチャネル電流に対応して、インパクトイオン化が発生し、ホールがボディ領域に流れ、ボディ電位が徐々に上昇する。この時、ビット線 BL に接続された拡散層とボディ領域の間に存在する $p-n$ 接合が逆方向バイアス状態になり、逆方向リーク電流が流れる事によってボディ領域にはホールがさらに注入される。この結果、ノード f の電位は V_{cc} に漸近し、達した後 V_{cc} が維持される。なお、第 1 および第 2 のワード線の電位変化より先にビット線 BL が変化したとき

にも、同様のチャネル電流がトランジスタTr1には流れ、同様のインパクトイオン化が発生し、トランジスタTr1のボディ電位は上昇する。

【 0 0 2 7 】

次に、時刻 t_3 において、ビット線を例えばVccより例えばVssに変化させる。この時、前述のpn接合容量結合により、ボディ電位は一瞬低化するが、トランジスタTr1にはチャネル電流が流れ、これに対応するインパクトイオン化が発生し、ホールがボディ領域に流れ、更にトランジスタTr1のボディ電位は維持される。なお、ノードfの電位はVssに漸近していく。

【 0 0 2 8 】

その後、時刻 t_4 において第1のワード線WLをVssより例えばVccへ、第2のワード線/WLをVssよりVccへ変化させることにより、データ書き込み動作が終了する。この時にも、前述の容量結合により、ボディ電位はVccよりもわずかに低下する。

【 0 0 2 9 】

なお、第1および第2のワード線の電位変化を、ビット線BLの電位変化より先に行っても良いが、その場合はインパクトイオン化が発生しないため、前述したようにビット線を先に変化させるほうが望ましい。

【 0 0 3 0 】

図5は、選択されたメモリセル10にデータ“0”を書き込む場合の動作を示すタイミングチャートである。

まず、データ“1”の書き込みの場合と同様に、時刻 t_{11} において、第1のワード線WLをVssからVccに、同時に第2のワード線/WLをVccからVssへ変化させる。これにより、トランジスタTr1がオン状態、トランジスタTr2がオフ状態となる。この時、第1のワード線とトランジスタTr1のボディ領域間の容量結合により、トランジスタTr1のボディ電位Vbody1は上昇する。

【 0 0 3 1 】

ビット線のロウ電位に対応する電位を実現するためには、トランジスタTr1のボディ領域にあるホールを十分に引き抜く必要がある。したがって、時刻 t_{12} においてビット線BLをVssからプリチャージ電位-Vccへ変化させる。これにより

、ビット線BLに接続された拡散層と、ボディ領域間に存在するpn接合との容量結合により、トランジスタTr1のボディ電位は低下する。なお、このプリチャージ電位は任意の電位にすることが可能で、この実施の形態においても他の電位を使用することが可能である。

【0032】

このビット線の電位変化に伴い、トランジスタTr1のボディ領域と、ビット線BLに接続されている拡散層とノードf間に存在するpn接合は順方向にバイアスされるので、ボディ領域にあるホールが吐き出され、トランジスタTr1のボディ電位Vbody1は更に低下する。同時に、ノードfの電位は-Vccに漸近していく。なお、トランジスタTr2の状態がオフである為に、ノードfはフローティング状態となって、トランジスタTr1にはチャネル電流がほとんど流れず、ボディ領域のホールは効果的に引き抜かれて、安定的にロウ電位を書き込むことができる。

【0033】

その後、時刻t13においてワード線WLをVssへ、ワード線/WLをVccに変化させると、トランジスタTr1のボディ電位Vbody1は低下する。そして、直後の時刻t14においてビット線を-Vccより例えばVssに変化させることでデータの書き込み動作が終了する。

【0034】

この際にも、前述の容量結合によりボディ電位Vbody1は上昇する。

【0035】

なお、図4で説明したとおり、ビット線BLの電位変化を、ワード線WLやワード線/WLの電位変化より先に行っても良い。

【0036】

以上の様な制御を行うことにより、ビット線の電圧を例えば-1Vとしたとき、ボディ領域との間のpn接合は順方向にバイアスされているので、瞬時にボディの電位は約-0.5Vまで変位することが可能となって、データ“0”を書き込む際のマージン向上を達成している。

【0037】

以上の書き込み動作例においては、第1のワード線と第2のワード線を同期させて、それぞれ相補的な電位が与えられる例を示したが、各ワード線での電位変化を非同期で制御することもできる。

【 0 0 3 8 】

次に、データ読み出しについて説明する。データを読み出すには、記憶されたデータによるトランジスタTr1の素子しきい電圧の差に基づく電流値の差を、例えば電流センス型のセンスアンプを用いて検知することによって行う。

【 0 0 3 9 】

図6は記憶データの内容によってデータ読み出し時のドレイン電流が変化する様子を示すグラフであり、横軸はゲート電位 V_g 、縦軸はドレイン電流の対数を示している。このグラフから明らかなように、同じドレイン電流を流すのに必要なゲート電圧は、データ“1”が書き込まれたトランジスタTr1よりもデータ“0”が書き込まれたトランジスタTr1の方が高い。したがって、データ“1”が書き込まれたトランジスタTr1のしきい値は低下し、“0”が書き込まれたトランジスタTr1しきい電圧は上昇する。このため、破線で示された所定のワード線電位を用いてデータ読み出しを行うと、データ“1”が書き込まれたトランジスタTr1のドレイン電流はデータ“0”が書き込まれたトランジスタTr1のドレイン電流よりも高い値となる。これらの電流値の差を検知することによりデータ“1”とデータ“0”の判定を行うことができる。

【 0 0 4 0 】

具体的には、判定に使用するゲート電位、すなわちワード線電位として、通常の電源電圧の半分、例えば $V_{cc}/2$ を用いる。

【 0 0 4 1 】

図7はデータ“1”が書き込まれている場合の読み出し動作波形を示すタイミングチャートである。

【 0 0 4 2 】

ここでは、非選択時にビット線は $V_{cc}/2$ にプリチャージされており、読み出し開始の時刻 t_{21} で選択されたメモリセルは、ワード線WLと/WLが共に $V_{cc}/2$ に設定される。このとき、トランジスタTr1のボディ電位 V_{body1} が上昇して

いることに伴い、ビット線へ流れる電流が大きくなってビット線電位 B_L が上昇することを検出してデータ “1” と判定することができる。

【0043】

一方、図8はデータ “0” が書き込まれている場合の読み出し動作波形を示すタイミングチャートである。図7の場合と同様に、ビット線が $V_{cc}/2$ にプリチャージされ、読み出し開始時刻 t_{31} でワード線 WL と \overline{WL} は $V_{cc}/2$ に設定される。しかし、トランジスタ $Tr1$ のボディ電位 V_{body1} が低下しているため、時刻 t_{31} 後でも V_{body1} はマイナスとなっている。このため、ビット線に流れる電流が図7の場合よりも小さく、ビット線電位 B_L は低下する。これを検出してデータ “0” と判定することができる。

【0044】

以上説明した実施の形態では、2つの $nMOS$ を用いた例で説明したが、2つの p チャネル MOS トランジスタ ($pMOS$) を採用しても同様に実現することができる。ただし、 $nMOS$ におけるデータ “1” の書き込みマージンは $pMOS$ の場合よりも大きいので、 $nMOS$ を採用した方が、同じ書き込み条件ならばより小型化できる。

【0045】

また、2つのトランジスタの導電型を互いに逆のものとした $CMOS$ 構成とすることも可能であり、同様の効果を得ることができる。これについては後述する。

【0046】

さらに、トランジスタ $Tr1$ とトランジスタ $Tr2$ の構成をそのままにし、ビット線と V_{ss} を逆に動作させ、且つ、第2のワード線によりその信号タイミングを制御することにより、トランジスタ $Tr1$ のボディ領域にデータを書き込みながら、トランジスタ $Tr2$ のボディにも同様にデータを書き込むことにより、2つの素子で2つのデータを保持することが可能となる。

【0047】

図9A、9B、9C、9Dは、図1に示した半導体メモリ装置の製造方法の実施の一形態を示す工程別素子断面図である。

【 0 0 4 8 】

先ず、シリコン半導体基板に酸素イオンをイオン注入した後に熱処理を行って酸化層とその上のシリコン層を得る S I M O X (Separation by Implantation of Oxygen) 法又はシリコン半導体基板表面に、底面に酸化膜を形成したシリコン板を貼り合わせる貼り合わせ法等により、半導体基板 1 1 上に例えばシリコン酸化膜よりなる埋め込み酸化膜 (B O X : BuRIEd Oxide) 1 2 を介して形成された S O I 活性層 1 3 を有する S O I 構造を得る。そして、この S O I 活性層は、例えば熱酸化法と NH_4F によるエッチングにより、例えば 1 5 0 n m 程度の所望膜厚まで薄膜化される。

【 0 0 4 9 】

次に、図 9 A に示すように、S O I 活性層 1 3 を素子形成領域ごとに電氣的に分離するために素子分離領域 1 4 を、例えば浅いトレンチを絶縁膜で埋め込んだ S T I (Shallow Trench Isolation) 法により形成する。

【 0 0 5 0 】

次に、素子しきい電圧を調整するために、素子形成領域の S O I 活性層 1 3 に不純物を、例えばイオン注入法により例えばドーズ量 $1.5 \times 10^{-12} \text{ cm}^{-2}$ で導入する。

【 0 0 5 1 】

続いて、図 9 B に示すように、S O I 活性層 1 3 上にゲート絶縁膜となる絶縁膜 1 5 を例えば熱酸化法により形成する。さらに、その上に多結晶シリコン 1 6 を C V D (Chemical Vapor Deposition) 法により 2 0 0 n m の膜厚に堆積する。

【 0 0 5 2 】

次に図 9 C に示すように、レジスト等をマスクとして、例えば反応性イオンエッチング (R I E : Reactive Ion Etching) を用いてソース及びドレイン領域上の多結晶シリコン 1 6 をエッチング除去することによりパターニングし、ゲート電極 1 7 を得る。

【 0 0 5 3 】

これらのゲート電極 1 7 をイオン注入マスクとして、拡散層形成領域に、例えばイオン注入法によって不純物を導入する。その後、熱工程、例えば R T A (Rap

id Thermal Annealing)法を用いたアニールを行うことにより、イオン注入によって導入された不純物を活性化する。

【 0 0 5 4 】

その後、図 9 D に示すように、層間絶縁膜 1 8 を堆積し、必要箇所にコンタクト孔を形成し、アルミニウム等の電極配線材料をこれらをのコンタクト孔を埋め込むとともに層間絶縁膜 1 8 の上に形成し、これをパターニングして第 1 のワード線 (WL) 電極配線 1 9、第 2 のワード線 (WL) 電極配線 2 0、ビット線電極配 2 1 及び Vss 電極配線 2 2 を形成して所望の部分空乏型 SOI 半導体装置を完成する。なお、配線は要求仕様にしたがって多層配線とすることもできる。

【 0 0 5 5 】

図 1 0 は以上の工程により形成された素子の平面図であって、図 9 D に示されたものと同じ構成要素には同じ参照番号を付してある。

【 0 0 5 6 】

図 1 1 A から図 1 1 E までに、本発明にかかる半導体メモリ装置の製造方法の他の実施の形態を示す工程別断面図であって、CMOS 型のメモリセル 5 0 を用いる例を示している。

【 0 0 5 7 】

先ず、SIMOX (Separation by Implantation of Oxygen) 法又は貼り合わせ法等により、半導体基板 5 1 上に例えばシリコン酸化膜よりなる埋め込み酸化膜 (BOX: Buried Oxide) 5 2 を介して形成された SOI 活性層 5 3 を有する SOI 構造を得る。そして、この SOI 活性層 5 3 は、例えば熱酸化法と NH_4F によるエッチングにより、例えば 150 nm 程度の所望膜厚まで薄膜化される。

【 0 0 5 8 】

次に、図 1 1 A に示すように、SOI 活性層 1 3 を素子形成領域ごとに電氣的に分離するためにトレンチ形状の素子分離領域 5 4 を、例えば STI (Shallow Trench Isolation) 法により形成する。

【 0 0 5 9 】

次に、図 1 1 B に示すように、素子しきい電圧を調整するために、素子形成領域の SOI 活性層 5 3 に不純物を、例えばイオン注入法により導入する。この実

施の形態ではCMOS構造を採用するため、時、導入するイオンに合わせて導入領域以外の領域をマスクするレジスト55を選択的に形成する。図11BではpMOS形成領域に不純物を導入する様子を示しており、不純物としてボロンイオンを例えばドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ で導入する。同様のイオン注入工程がnMOS形成領域についても行われ、不純物としてリンイオンを例えばドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ で導入する。

【0060】

その後、図11Cに示すように、SOI活性層53上にゲート絶縁膜56を例えば熱酸化法により形成する。さらに、その上に多結晶シリコン57をCVD(Chemical Vapor Deposition)法により200nmの膜厚に堆積する。

【0061】

次に図11Dに示すように、レジスト等をマスクとして、例えば反応性イオンエッチング(RIE: Reactive Ion Etching)を用いてソース及びドレイン領域上の多結晶シリコン57をエッチング除去することによりパターニングし、ゲート電極58を得る。

【0062】

これらのゲート電極58をイオン注入マスクとして、拡散層形成領域に、例えばイオン注入法によって不純物を導入する。この場合、pMOSとnMOSでは導入するイオンが異なるため、図11Eに示されるpMOSの拡散層を形成する場合には、nMOS領域はレジスト59でマスクされ、例えばボロンイオンがドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ で注入される。同様に、nMOSの拡散層を形成する場合にはpMOS領域がレジストでマスクされ、例えばリンイオンがドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ で注入されることになる。その後、熱工程、例えばRTA(Rapid Thermal Annealing)法を用いたアニールを行うことにより、イオン注入によって導入された不純物を活性化してソース、ドレインとなる高濃度不純物拡散層が形成される。

【0063】

その後、図11Fに示すように、ソース領域上、ドレイン領域上、及びゲート電極上に、シリサイド60、例えば CoSi_2 、を自己整合的に堆積させるシリサイ

ド工程により形成する。

【 0 0 6 4 】

続いて層間絶縁膜 6 1 を堆積させ、必要箇所にコンタクト孔 6 2 を形成し、アルミニウム等の電極配線材料 6 3 を蒸着してこれらのコンタクト孔 6 2 を埋め込むとともに層間絶縁膜 6 0 の上に形成する。層間絶縁膜 6 0 上の電極配線材料をパターニングして第 1 のワード線 (WL) 電極配線 6 4、第 2 のワード線 (／WL) 電極配線 (図示せず)、ビット線 BL の電極配 6 5 及び Vss 電極配線 6 6 を形成して所望の部分空乏型 SOI 半導体装置を完成する。この半導体装置では、nMOS の拡散層をビット線に、pMOS の拡散層を Vss 電源線に接続している。

【 0 0 6 5 】

図 1 2 に以上のように形成されたメモリセル 5 0 の平面図を示す。これは CMOS 型のメモリセルであるため、第 1 の実施の形態の場合のように、第 2 のワード線を第 1 のワード線から電氣的に分離する必要はなく、nMOS と pMOS で同一のゲート電極 6 4 を共有することが可能となる。

【 0 0 6 6 】

なお、本発明は実施の形態に示した素子形成プロセスや、デバイスパラメータに限定されることはなく適宜変更して実施することができる。例えば、前述した実施の形態では配線は単層となっているが、要求仕様にしたがって多層配線とすることもできる。その場合、上層の配線層形成のために再度層間絶縁膜の形成、コンタクト孔形成、電極材料の蒸着、パターニングの工程を繰り返すことになる。

【 0 0 6 7 】

また、実施の形態では SOI 基板を用いた nMOSFET や CMOSFET を用いて説明を行ったが、これに限定されることはなく、例えば pMOSFET や、SOS (Silicon On Sapphire) 等の基板を用いることが可能である。

【 0 0 6 8 】

その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【 0 0 6 9 】

【発明の効果】

上述したように本発明によれば、メモリセルを2つのトランジスタを直列接続して構成しており、キャパシタが不要で高集積化が可能な特徴を生かすとともに安定的にデータを書き込むことを可能としている。

【 0 0 7 0 】

また、本発明によれば、キャパシタを必要としない、M I S型素子のみで構成されるDRAM素子を容易に製造することが可能となる。

【図面の簡単な説明】

【図 1】

本発明にかかる半導体メモリ装置に用いられるメモリセルの実施の一形態による基本的概念を示す模式図である。

【図 2】

図 1 に示したメモリセルを複数個用いてメモリセルアレイを形成した模様を示す概略接続図である。

【図 3】

図 1 に示したメモリセルを複数個用いてメモリセルアレイを形成した模様を示す接続概略図である。

【図 4】

選択されたメモリセルにデータ“1”を書き込む際の動作を示すタイミングチャートである。

【図 5】

選択されたメモリセルにデータ“0”を書き込む場合の動作を示すタイミングチャートである。

【図 6】

記憶データの内容によってデータ読み出し時のドレイン電流が変化する様子を示すグラフである。

【図 7】

データ“1”が書き込まれている場合の読み出し動作波形を示すタイミングチ

ャートである。

【図 8】

データ “0” が書きこまれている場合の読み出し動作波形を示すタイミングチャートである。

【図 9 A】

図 1 に示した半導体メモリ装置を製造する本発明にかかる製造方法の実施の一形態における一工程を示す素子断面図である。

【図 9 B】

図 9 A に続く工程を示す素子断面図である。

【図 9 C】

図 9 B に続く工程を示す素子断面図である。

【図 9 D】

図 9 C に続く工程を示す素子断面図である。

【図 1 0】

図 9 A ～ 図 9 D の工程により形成された素子の平面図である。

【図 1 1 A】

本発明にかかる半導体メモリ装置の製造方法の他の実施の形態における一工程を示す素子断面図である。

【図 1 1 B】

図 1 1 A に続く工程を示す素子断面図である。

【図 1 1 C】

図 1 1 B に続く工程を示す素子断面図である。

【図 1 1 D】

図 1 1 C に続く工程を示す素子断面図である。

【図 1 1 E】

図 1 1 D に続く工程を示す素子断面図である。

【図 1 1 F】

図 1 1 E に続く工程を示す素子断面図である。

【図 1 2】

図 1 1 A ～ 図 1 1 D の工程により形成された素子の平面図である。

【図 1 3】

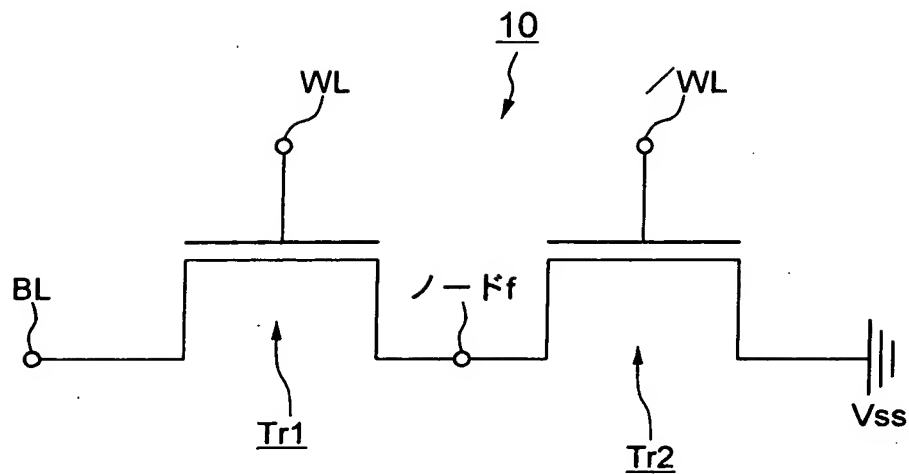
従来の S O I 素子を用いたメモリセルの基本構成を示す回路図である。

【符号の説明】

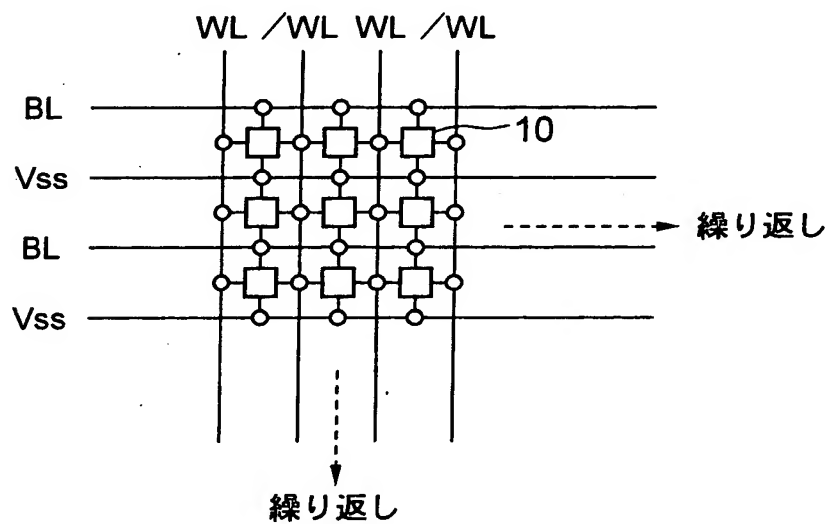
- 1 0、5 0、1 0 0 メモリセル
- 1 1、5 1 シリコン基板
- 1 2、5 2 埋め込み酸化膜
- 1 3、5 3 S O I 活性層
- 1 4、5 4 素子分離領域
- 1 5、5 6 絶縁膜
- 1 7、5 8 ゲート電極
- 1 9、2 0、W L ワード線
- 2 1、2 2、B L ビット線
- 5 5、5 9 レジスト（イオン注入マスク）

【書類名】 図面

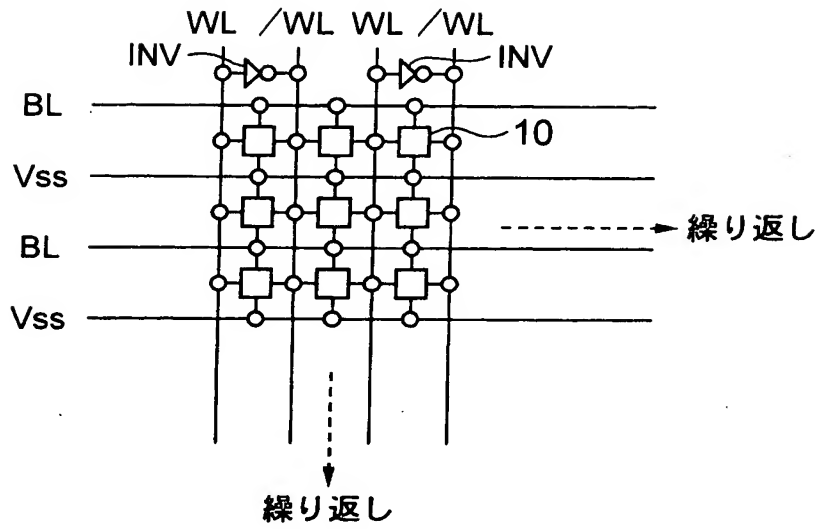
【図 1】



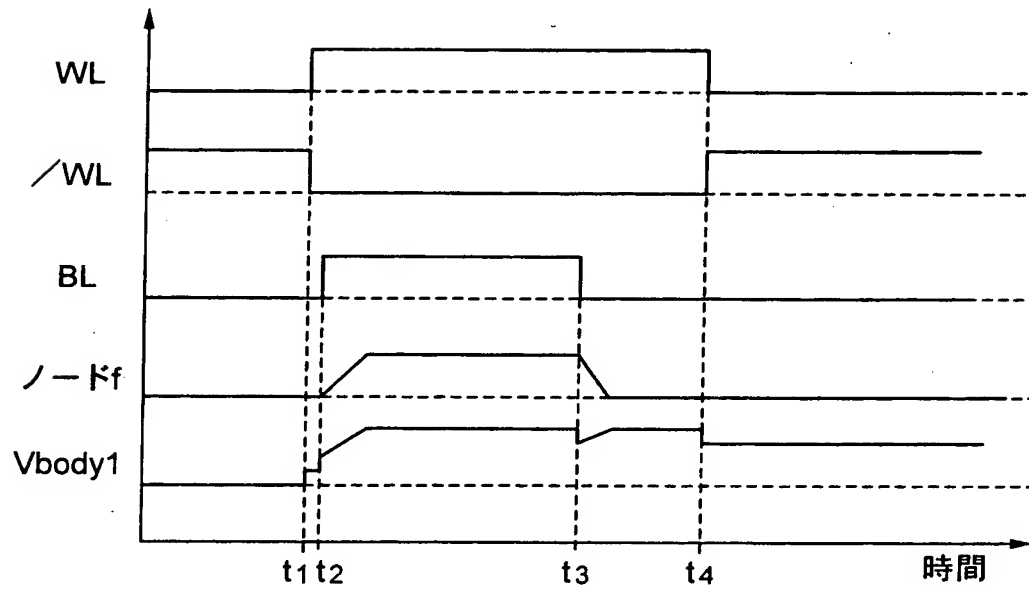
【図 2】



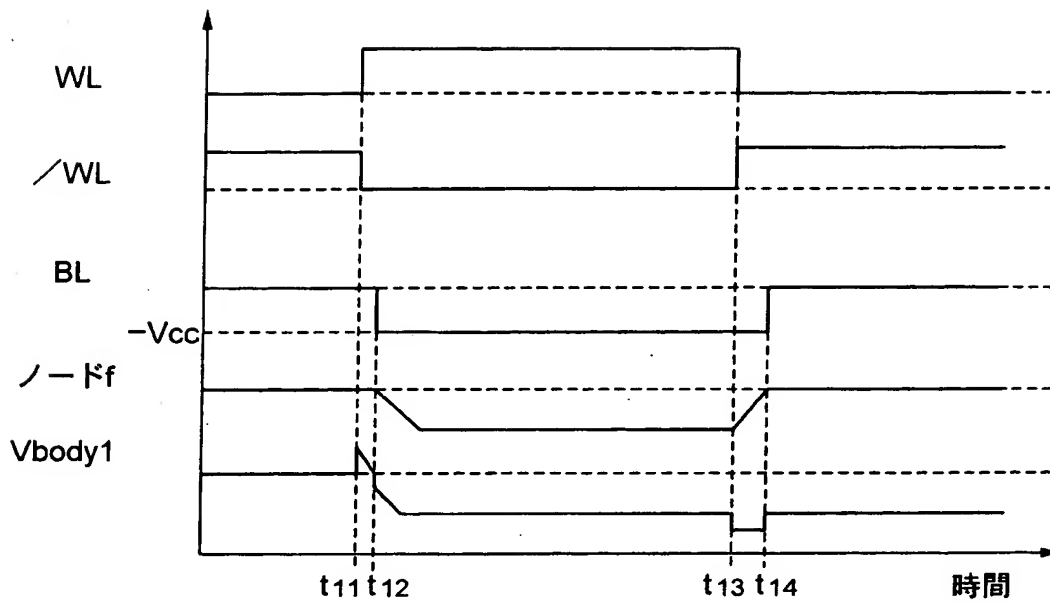
【図 3】



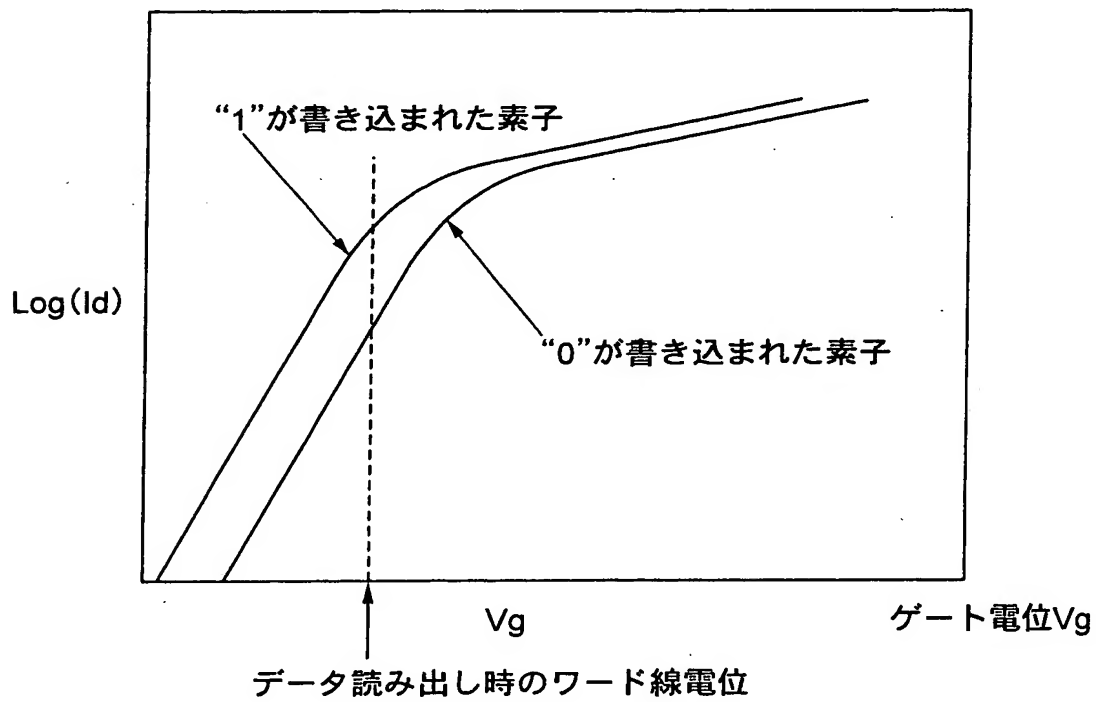
【図 4】



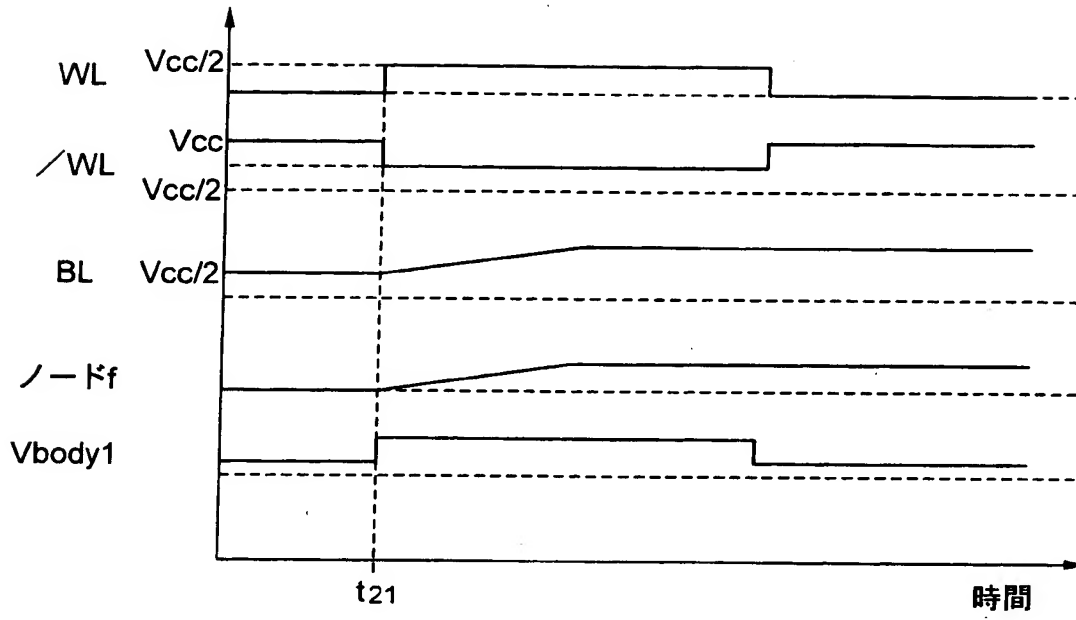
【図5】



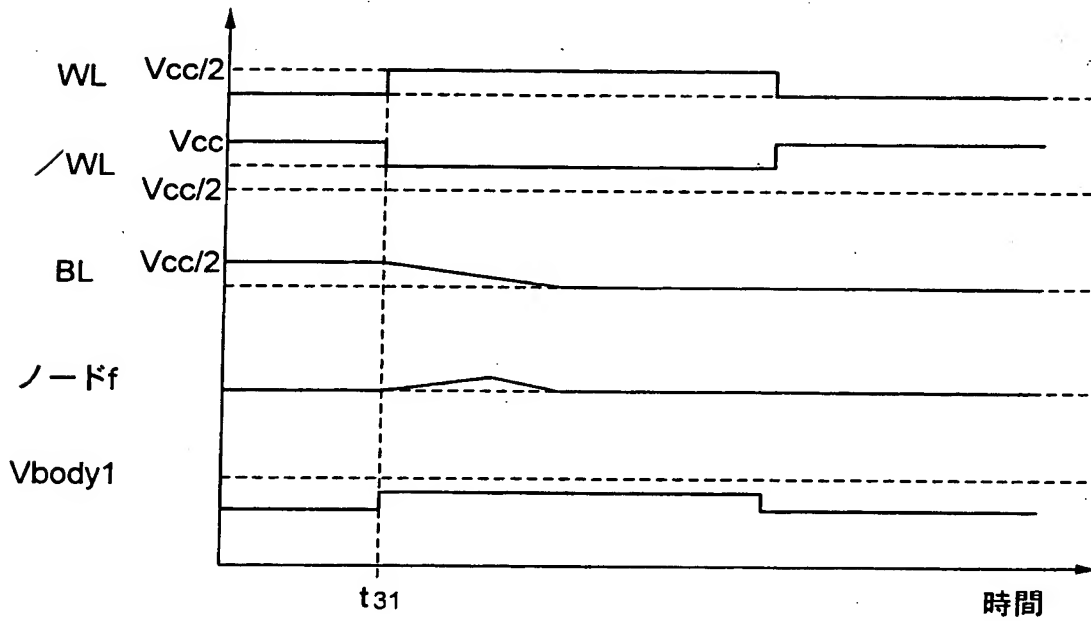
【図6】



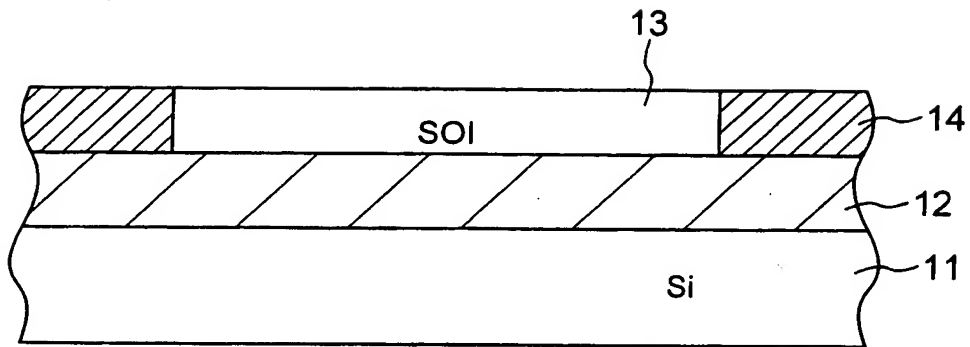
【図 7】



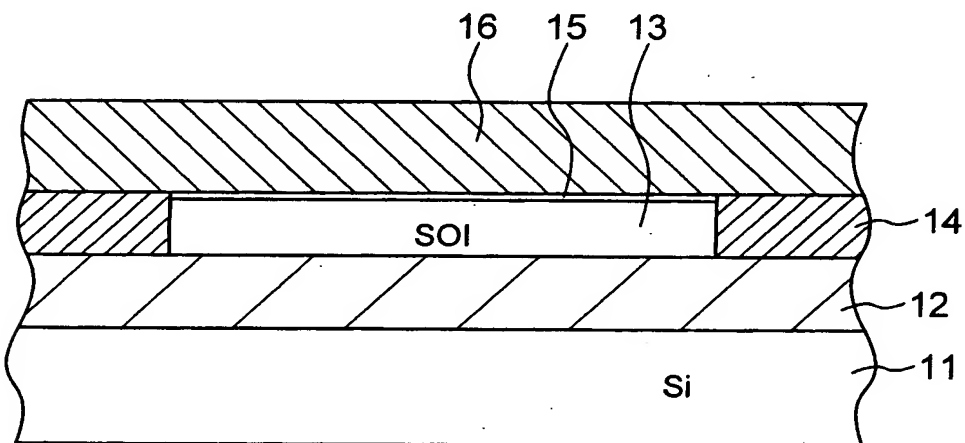
【図 8】



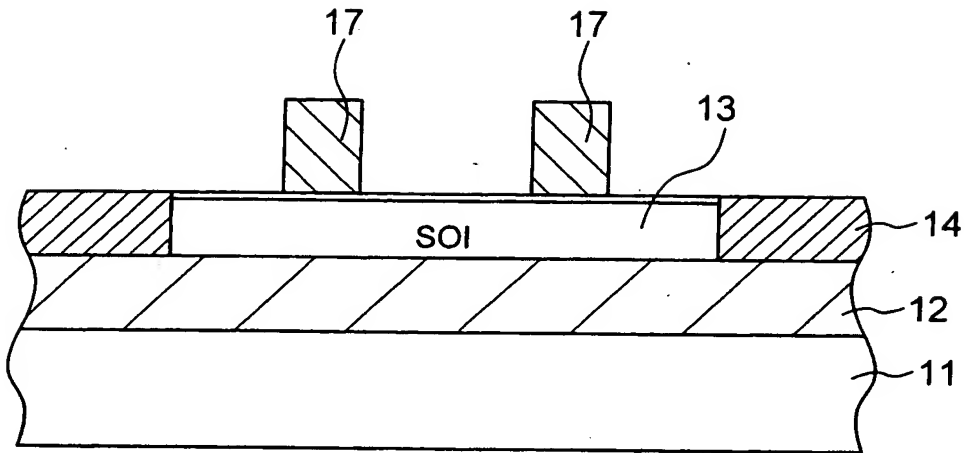
【図 9 A】



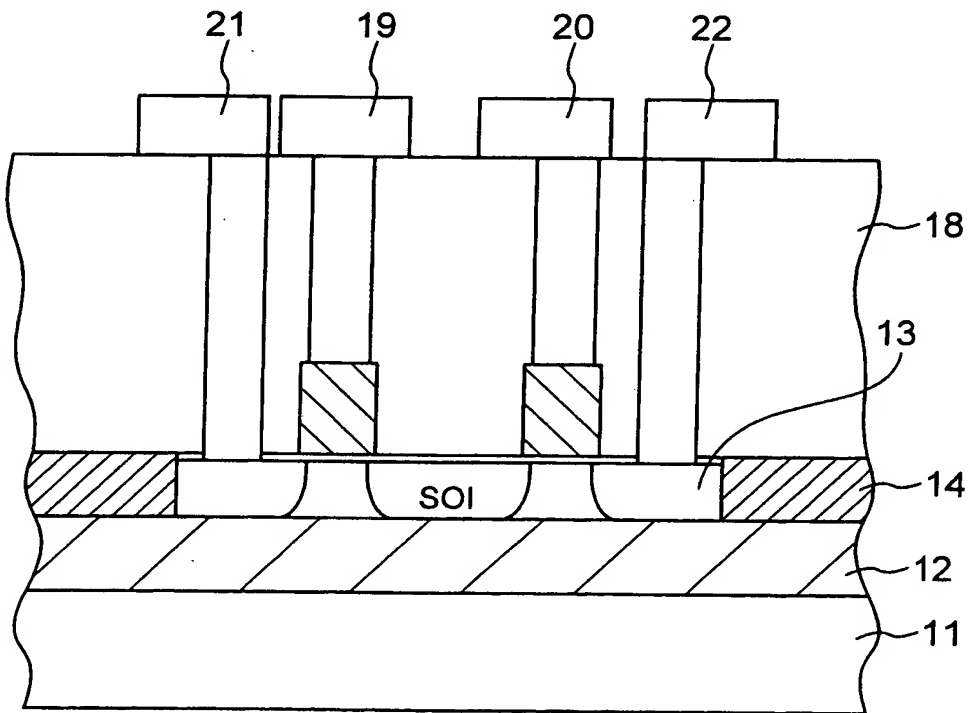
【図 9 B】



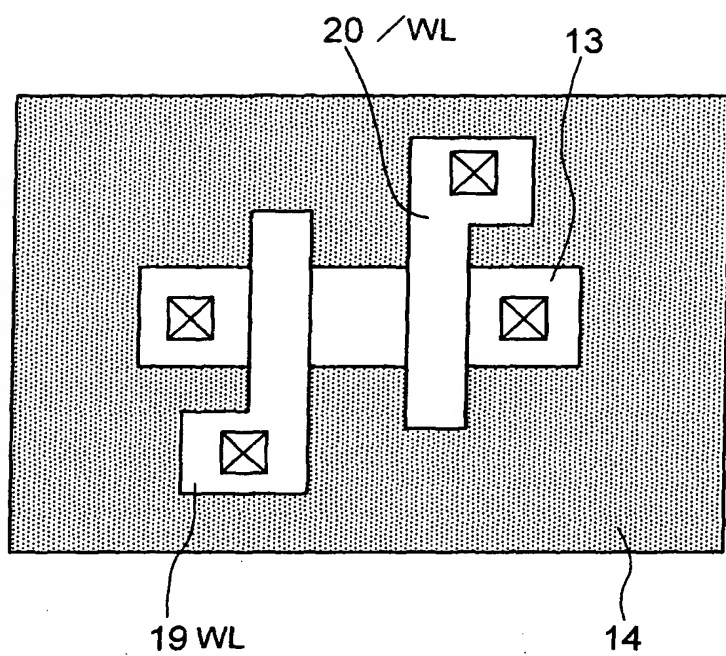
【図9C】



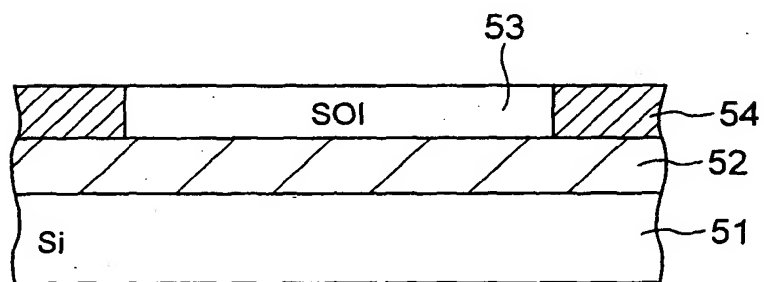
【図9D】



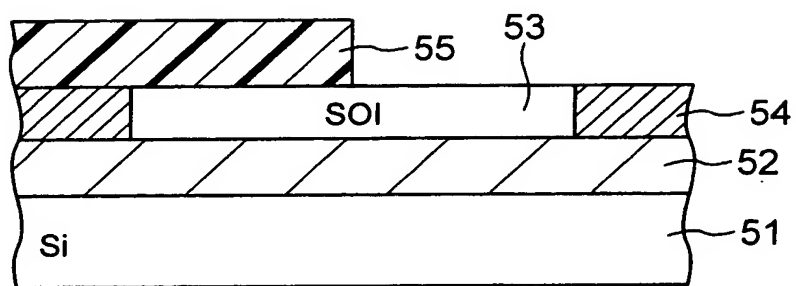
【図10】



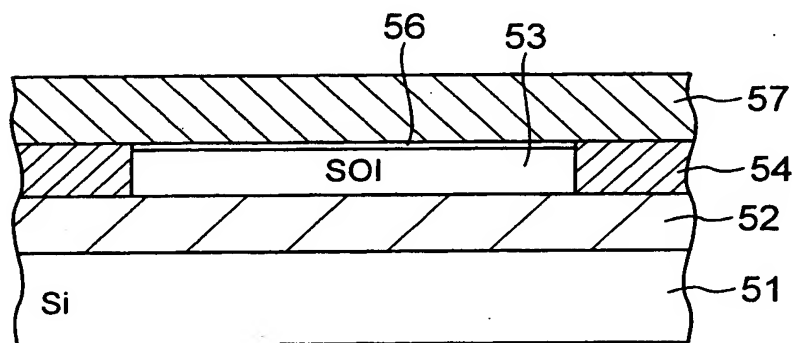
【図11A】



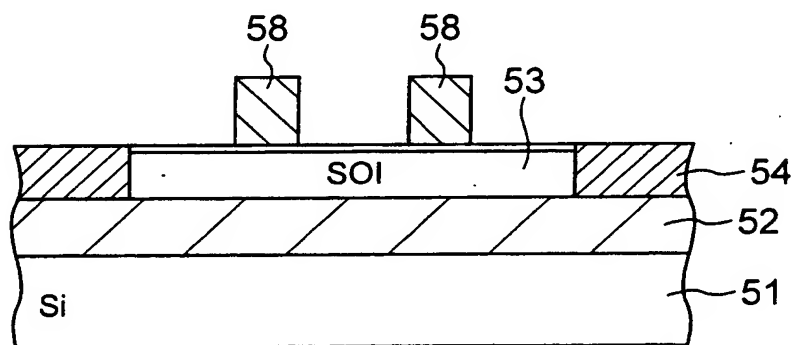
【図 1 1 B】



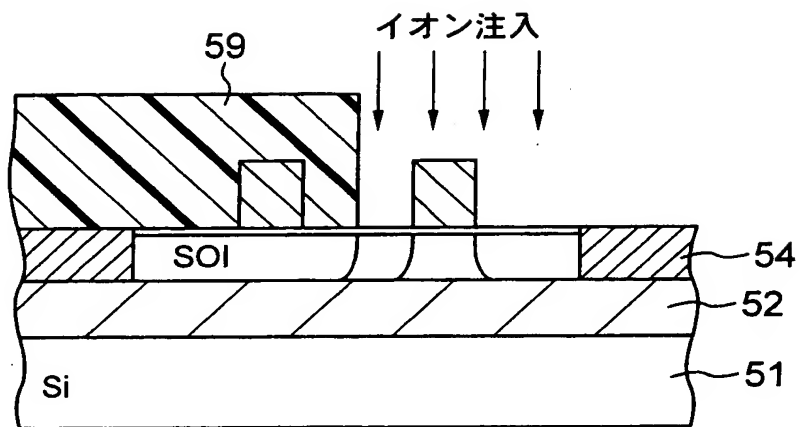
【図 1 1 C】



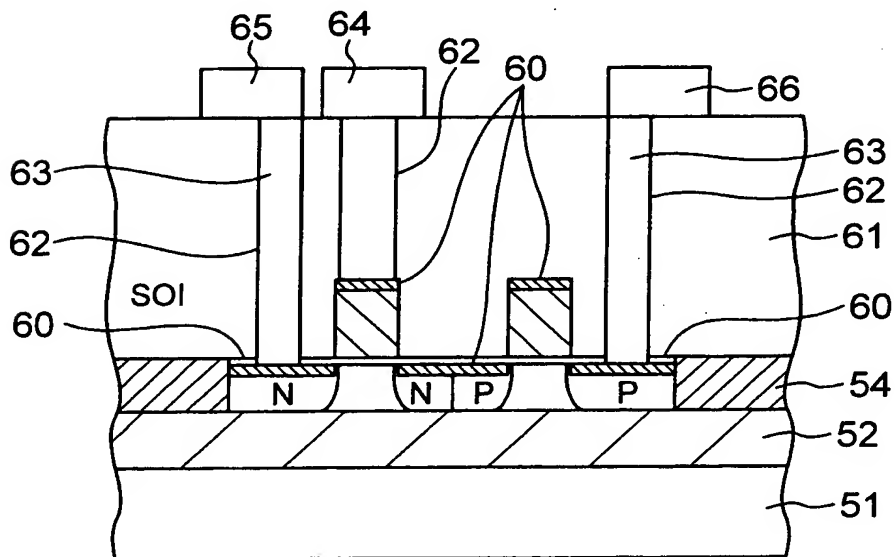
【図 1 1 D】



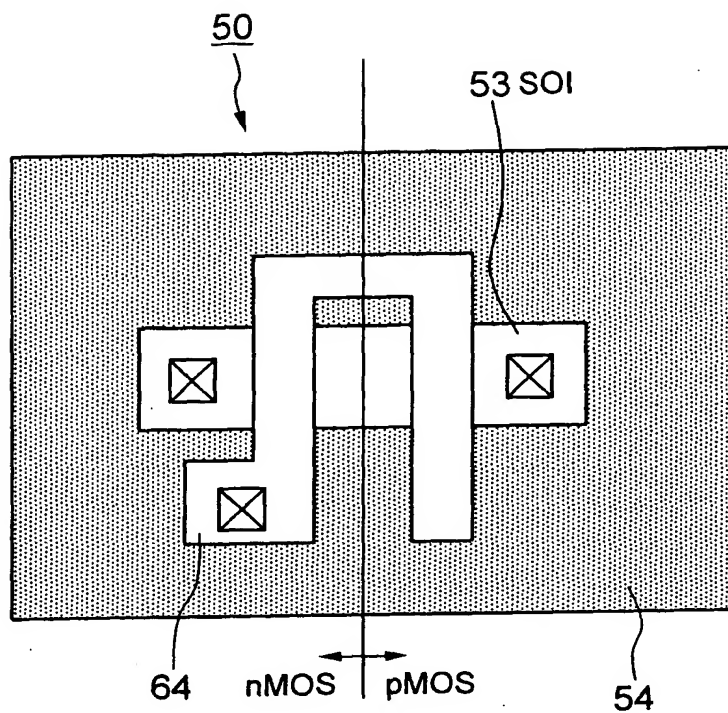
【図 1 1 E】



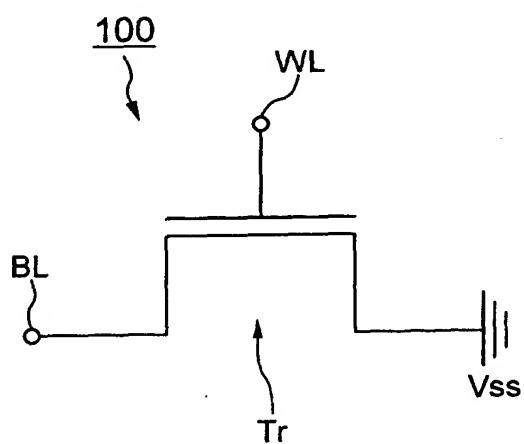
【図 1 1 F】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 キャパシタの不要なメモリセルに安定的にデータを書き込むことが可能な半導体メモリ装置およびその製造方法を提供する。

【解決手段】 絶縁膜 1 2 上に形成された半導体層 1 3 と、半導体層内に形成された第 1 および第 2 のトランジスタ Tr1, Tr2 が直列接続されたメモリセル 1 0 が複数個マトリックス状に配置形成され、前記メモリセルの一方側が接続されたビット線 B L に接続され、他方側に基準電位を与えられたメモリセルアレイとを備える。直列接続された 2 つの部分空乏化トランジスタのうち、ビット線 B L に接続されたもののボディ領域に、データに応じて電荷の注入／吐き出しを行うことによって素子しきい電圧を変動させる。

【選択図】 図 1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝